



力士科技股份有限公司

Force Mos Technology Co., Ltd.

股票代號: **4923**

Force mos

www.force-mos.com



簡報大綱

1

力士簡介

2

競爭利基

3

經營實績

4

未來展望



力士簡介



力士簡介

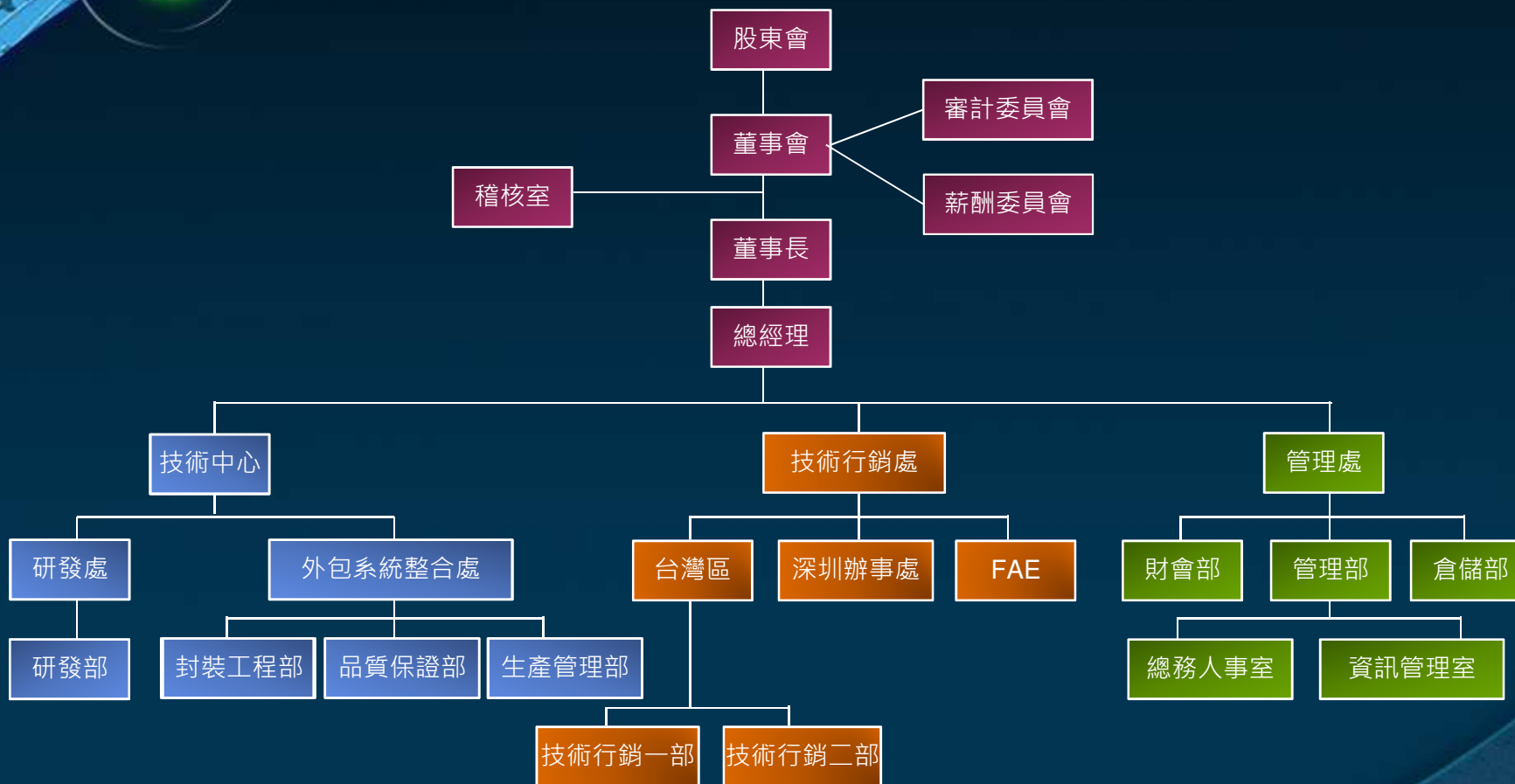
- 企業簡介
- 組織圖
- 重要沿革
- 董事成員
- 經營團隊
- 公司及代工生產位置



企業簡介

- 成立時間：2007年6月11日
- 資本額：2.5億
- 董事長：張晉誠 總經理：鍾明道
- 員工人數：43人(統計至110年Q1)
- 公司核心：研發設計和銷售溝槽式金氧半電晶體
- 技術：0.25/0.18/0.13 μm 的溝槽式金氧場效電晶體
- 無晶圓廠之功率電子元件與製程開發設計公司。
- MOSFET製程主要使用先進的0.25/0.18/0.13 μm 製程技術，全方位應用在低壓及中電壓領域。
- 我們擁有MOSFET、Diode、Transistor和被動零件等銷售項目，在Co-Pak或COB達到最有效的管理和應用。
我們擁有MOSFET 最佳設計及製程整合技術團隊。

組織圖





重要沿革

- 民國98年 取得ISO9001品質管理系統認證
- 民國99年 申請登錄興櫃，股票代號4923
- 民國100年 專利封閉式單元結構量產導入華碩
- 民國102年 專利封閉式單元結構加入ESD保護功能量產導入廣達
- 民國103年 取得水平式分離閘級(ETG1)美國專利
- 民國109年 分離式閘級(ETG)技術產品量產導入緯創
- 民國109年 取得垂直式分離閘級(ETG2)美國與台灣專利
- 民國109年 進入HP原廠認可供應商清單
- 民國110年 專利RTG設計產品通過電源供應器大廠康舒驗證

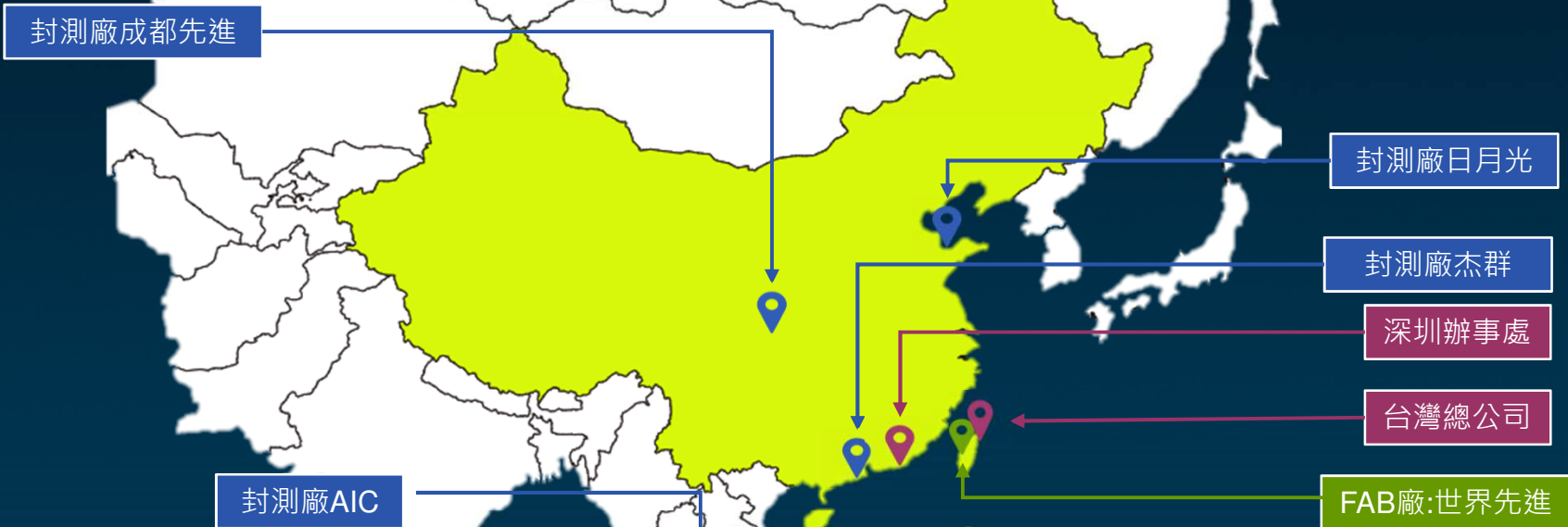
董事成員

職稱	姓名	學歷	經歷	持股%
董事長	張晉誠	中原大學會計系	力銘科技(股)董事 眾嘉聯合會計師事務所主持會計師 勤業眾信會計師事務所協理	0.97
董事	鍾明道	政治大學資管系博士	力士科技(股)董事長 力士科技(股)總經理 斐成企業(股)公司總經理	5.99
董事	林才熙	台灣大學商學碩士	中加顧問(股)副總經理	-
董事	廖裕輝	政治大學商學院經營管理組碩士	華國飯店董事兼總裁	2.20
董事	涂高維	中正理工學院電子研究所碩士	力士科技(股)技術長 尼克森微電子(股)公司研發部副總	0.12
法人董事	秉家投資有限公司 代表人:鍾秉家	布魯內爾大學品牌與行銷管理碩士	力士科技(股)公司總經理特助	6.12
獨立董事	趙培宏	美國休士頓大學法學碩士	法學法律事務所律師及所長	-
獨立董事	孫德至	美國哥倫比亞大學法學碩士	創拓國際法律事務所主持律師	-
獨立董事	霍玲玲	中原大學會計系	信群會計師事務所所長	-

經營團隊

職稱	姓名	年資	學歷	經歷
總經理	鍾明道	28	政治大學資管系博士	力士科技(股)董事長 斐成企業(股)公司總經理
技術長	涂高維	22	中正理工學院電子研究所碩士	尼克森微電子(股)公司研發部副總
副總經理	鍾秉家	6	布魯內爾大學品牌與行銷管理碩士	力士科技(股)公司總經理特助
研發處處長	張淵舜	13	長庚大學電子所碩士	拓緯實業(股)公司研發總監
技術行銷處處長	蔡若凌	16	醒吾商專國貿科	力士科技(股)公司總經理特助 斐成企業(股)公司業務部協理
財務會計部經理	林祐年	21	雪梨大學工商管理碩士	安侯建業聯合會計師事務所審計部經理 元大京華證券承銷部高專

公司及代工生產位置



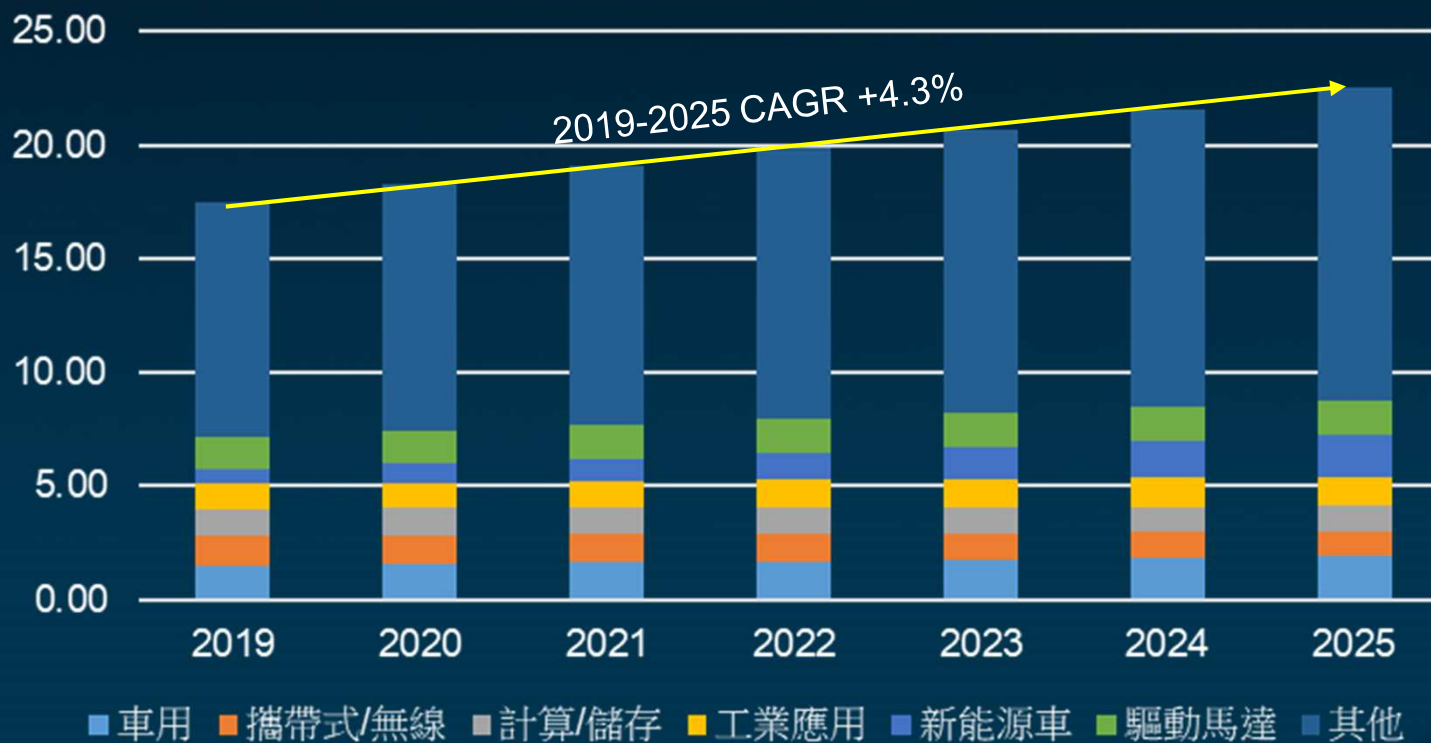
- 公司地址:台灣總公司與深圳辦事處
- FAB:世界先進 FAB-2
- 封測廠:杰群,日月光, AIC, 成都先進



競爭利基

產業前景

全球功率半導體應用成長預測



資料來源：法國Yole Développement, 2020
功率元件市場成熟且穩健，隨元件整合使產品應用領域逐漸
拓展，整體市場規模持續成長



上下游產業合作夥伴

材料

- 環球晶圓
Epi wafer

晶圓廠

- 世界先進Fab2

封測廠

- 杰群 GTBF
- 成都先進 APS
- 日月光 ASE
- AIC(馬來西亞)



產品架構



單位:新台幣千元/%

品項	銷貨收入	占比(%)
MOSFET	94,734	38.25
WAFER	78,263	31.60
Diode	54,201	21.89
Transistor	11,118	4.49
其他	9,330	3.77
合計	247,645	100.00

年份:2021年第一季

客戶應用群及銷售佔比



Networking
2%

Power
1%

Other
9%

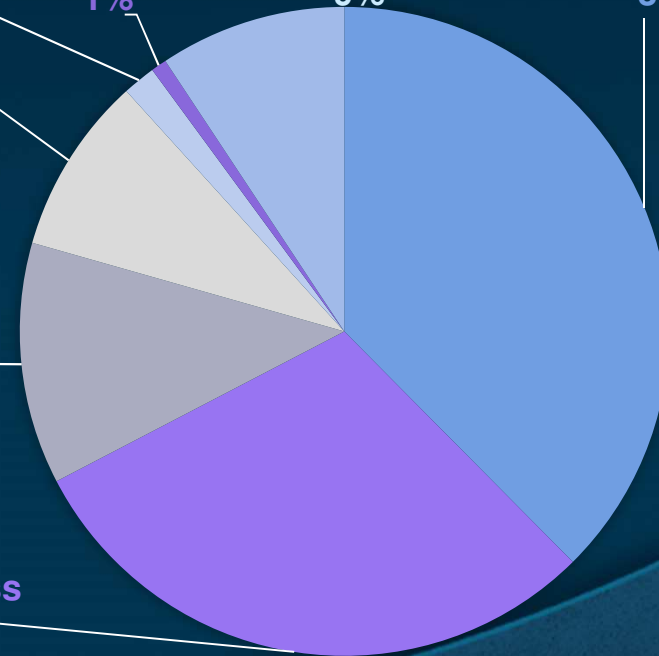
PC/NB
37%

Battery pack
9%

TV & Monitor
12%

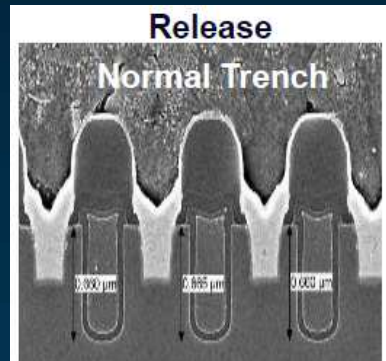
Wafer Business
30%

年份：2020年



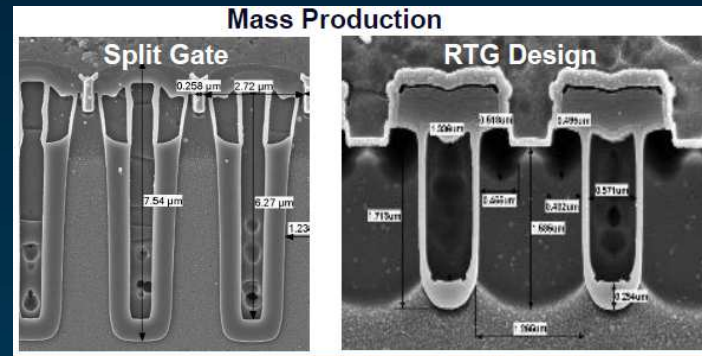
晶片設計競爭優勢

2017



- 專利封閉式單元結構較一般同類型產品有~10%的效能優勢

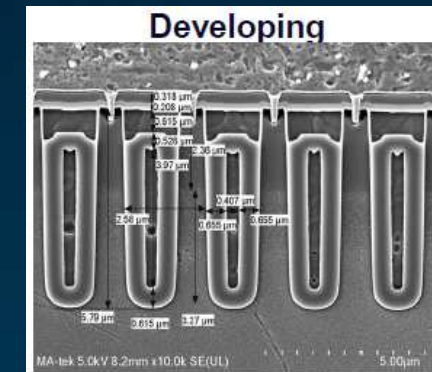
2018



- Split Gate: 專利水平分離式閘極結構 (ETG) 擁有與國際大廠專利設計同等之特性表現
- RTG: 與一般標準溝槽式設計相比擁有~30%的效能優勢，與高階之分離式閘極結構相比擁有20%以上的成本優勢

2019

2021



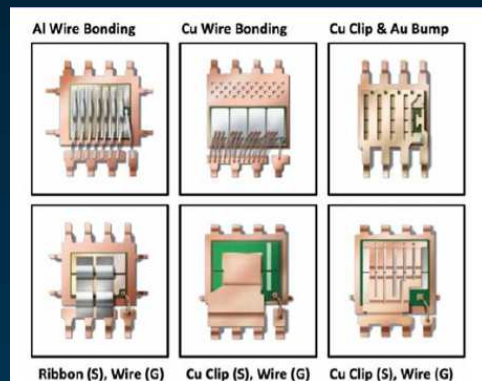
- 已取得垂直式分離閘級結構專利，製程開發中

產品封裝競爭優勢

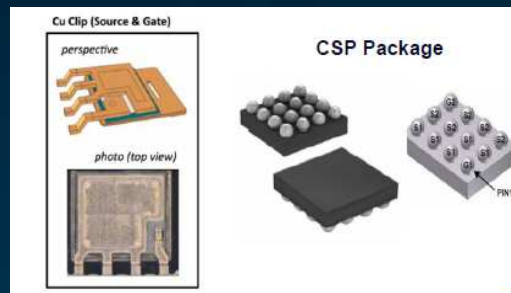
2017~2019

2020

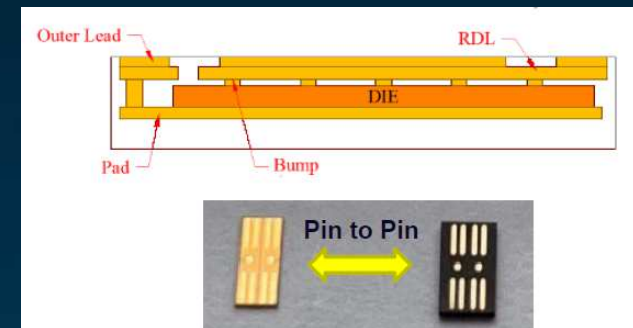
2021



- 各式樣標準型封裝的生產供應鏈已完成，可依照個別客戶的需求搭配晶片做最佳化之產品調整



- 銅夾片封裝: 提供更高一級的產品特性(低導通電組)及優異的散熱效能
- CSP: 針對鋰電池充放電管理應用提供一系列的無封裝產品線



- Thin Pak薄型封裝系列可提供Pin-to-Pin傳統CSP製品並達到更高等級的可靠度水準



人力資源結構

全員43人，研發人員 共12人				
學歷分佈	高中	大專	碩士	博士
	4名	31名	7名	1名
研發人員 專業年資	< 3年	3~6年	7~10年	> 10年
	1名	2名	0	9名

專利佈局

依專利使用領域區別

類別	低中壓 短製程	ESD	新元件 RTG ETG	CSP	IGBT	其他 MOSFET結 構與製程	合計
已取得專利數	8	5	26	1	4	49	93

依專利取得所在地區別

項目 國別	發明專利		新型專利		合計	
	申請中	已取得	申請中	已取得	申請中	已取得
美國	2	71	0	0	2	71
中國	3	15	0	1	3	16
台灣	0	5	0	1	0	6
歐洲	1	0	0	0	1	0
南韓	1	0	0	0	1	0
日本	1	0	0	0	1	0
合計	8	91	0	2	8	93

註：係統計截至110年4月30日本公司尚在維護之專利



產品銷售與客戶發展策略

成品自有品牌

1. 依據終端客戶的使用需求選擇最優化之設計來進行產品開發，而不是做me too、拚量及價格的產品。
2. 持續開發新技術及新材料來製作具有市場競爭力的產品

晶片銷售

與自有品牌優勢之封裝廠做策略合作，透過專業分工，力士提供高品質、高性能及低成本優勢的晶片，透過封裝廠自有封裝線的成本優勢及銷售管道作產品的推廣及銷售。

客製化設計

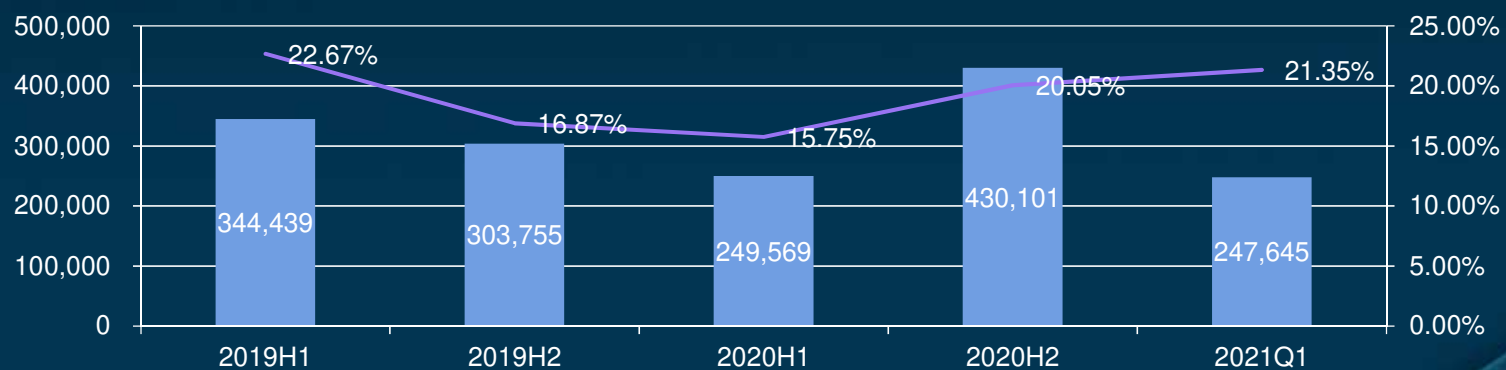
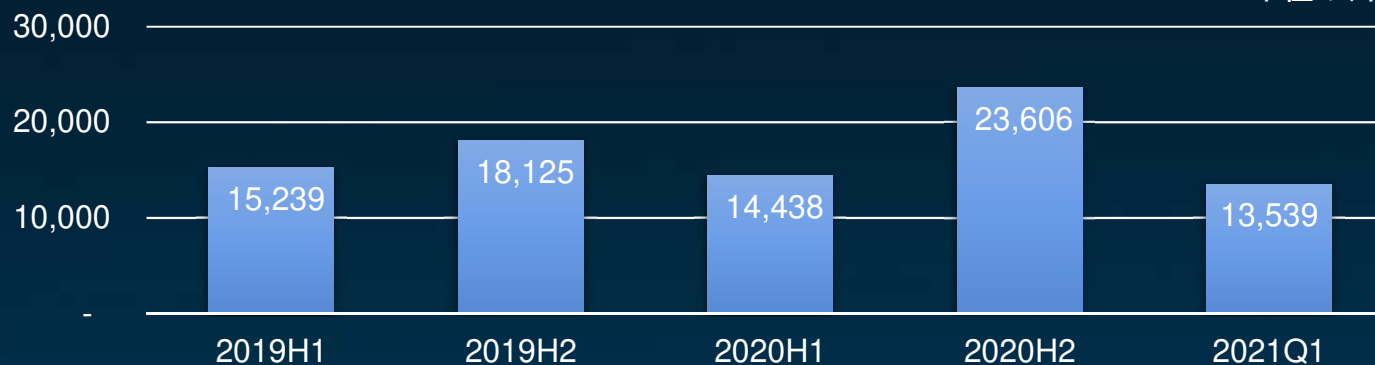
透過公司的專利製程及半導體元件的特殊結構，達成IC設計公司所需要的晶片效能。並透過特定的晶片尺寸及接線腳位，與IC晶片做最優化的搭配。提供最簡單、性能穩定及最高性價比的MOSFET晶片。



經營實績

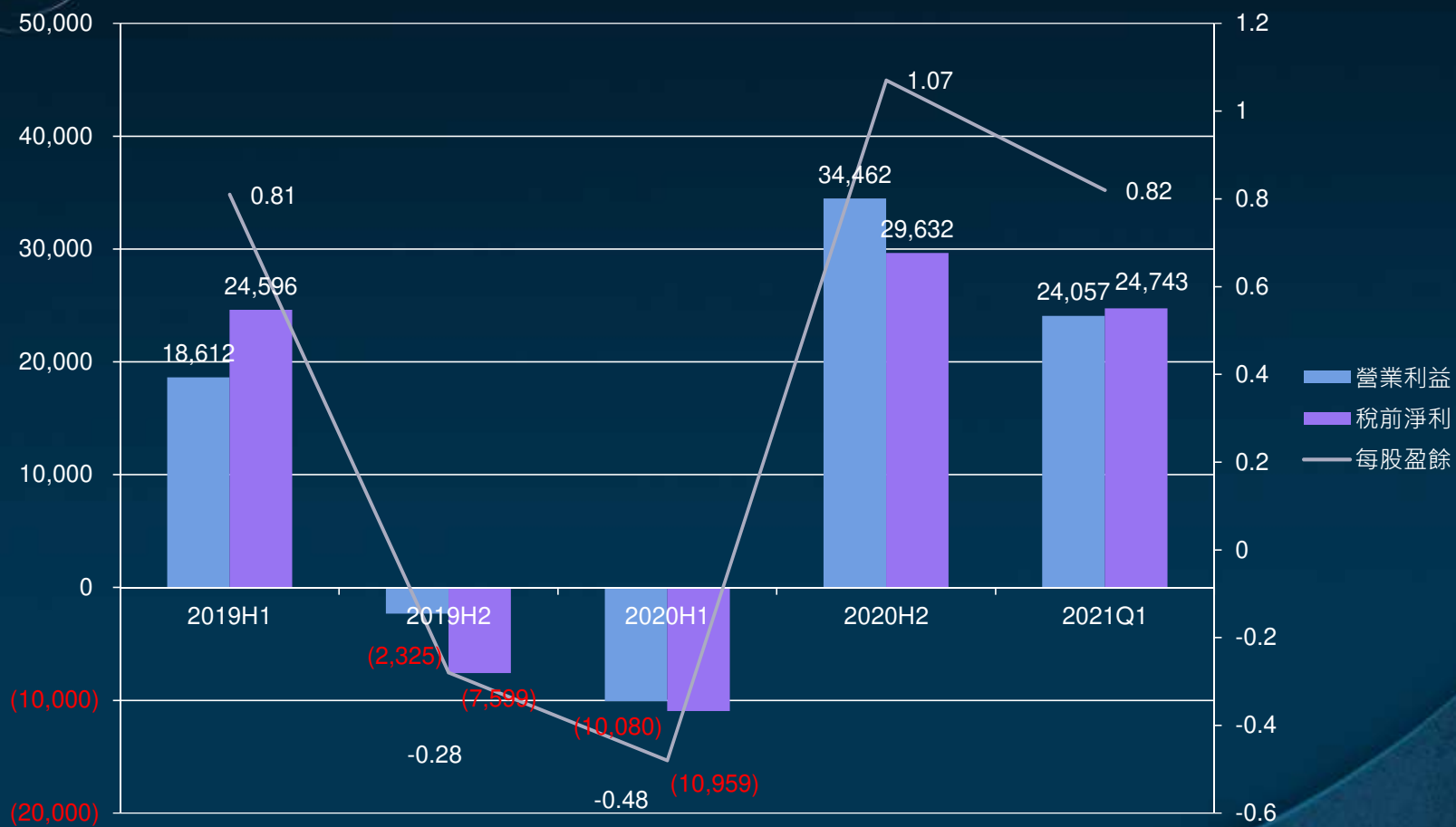
最近二年投產量VS銷售額及毛利率

單位：片



單位：新台幣千元

經營績效-2019~2021Q1獲利能力



單位：新台幣千元/元

財務比率同業比較

項目	公司別/年度	2018	2019	2020
負債佔資產比率(%)	力士	22.35	24.56	27.93
	大中	39.24	39.63	32.00
	尼克森	27.94	22.85	18.11
	富鼎	37.51	37.05	41.66
流動比率(%)	力士	484.65	475.70	387.02
	大中	239.21	229.56	254.47
	尼克森	295.99	360.79	454.74
	富鼎	205.04	210.45	195.15
應收帳款週轉率(次)	力士	5.03	3.91	3.65
	大中	5.27	4.55	5.87
	尼克森	2.67	2.92	2.48
	富鼎	4.37	3.78	4.48
存貨周轉率(次)	力士	4.85	4.12	4.51
	大中	4.81	2.91	3.70
	尼克森	3.94	4.31	4.07
	富鼎	3.56	2.34	3.38

資料來源：本公司各年度經會計師查核簽證之財務報告；各公司各年度之年報

The image features a futuristic digital landscape. In the foreground, a blue wireframe globe is visible. A green circular icon with a white arrow pointing left is positioned on the globe. The background is a dark blue space with various light trails, including a prominent white and yellow streak that curves across the scene. The overall aesthetic is high-tech and visionary.

未來展望

歷年研發成果

2017 ~ 2018

- 150V/375mΩ N通道，SOT-26 封裝
- 30V/10mΩ P通道，DFN3*3 封裝
- **30V/45mΩ P通道，靜電防護 3KV保護，SOT-23 封裝**
- 100V/ 100mΩ N通道，DFN3*3 封裝
- **開發出分離式閘極獨家專利製程平台 (Split-Gate)**
- 30V/31mΩ 雙N通道，DFN3*3 封裝
- 40V/2.5mΩ N通道，TO-220 /DFN5*6 封裝
- 100V/14~23mΩ N通道，TO-220 封裝
- 取得專利一件

2019

- **建立N/P通道 20~60V MOSFET的電腦製程及電性模擬運算模型**
- **ETG-1 分離式閘極良率提升，並開始量產**
- 於第二晶圓廠建立20V N通道製程平台
- 於第二晶圓廠建立20V P通道製程平台
- 於第二晶圓廠建立30V N通道製程平台
- **於第二晶圓廠建立30V P通道製程平台，並提升產品性能，縮小晶片面積達30%**
- **RTG30V/40V N通道新製程開發完成**
- 取得專利一件

2020

- **RTG 40V/2.2mΩ N通道，DFN 3.3*3.3 封裝 (該封裝業界最大電流)**
- **RTG 30V/1.5mΩ N通道，DFN 3.3*3.3 封裝 (該封裝業界最大電流)**
- **裸晶封裝CSP 12V/20V/24V系列產品開發完成**
- **ETG-1 Plus 新製程平台開發完成**
- **ETG-1 Plus 100V/ 8~10mΩ N通道，SOP-8封裝**
- **取得專利五件，含一件ETG-2美國發明專利**

2021

- **RTG 30V/2.2mΩ N通道，DFN 3*3 封裝**
- **裸晶封裝CSP 28V系列產品開發完成**
- **ETG-1 Plus 100V/ 5.8mΩ N通道，DFN5*6封裝**
- **PD IC 合封之30V N通道特製MOSFET晶片**

Power MOSFET 發展藍圖



2017

針對PC與NB應用推出低電壓 20V~60V系列產品

針對電視與照明應用推出中電壓 100V~200V系列產品

2018

2020

2021

第二代分離式閘極 (ETG2)

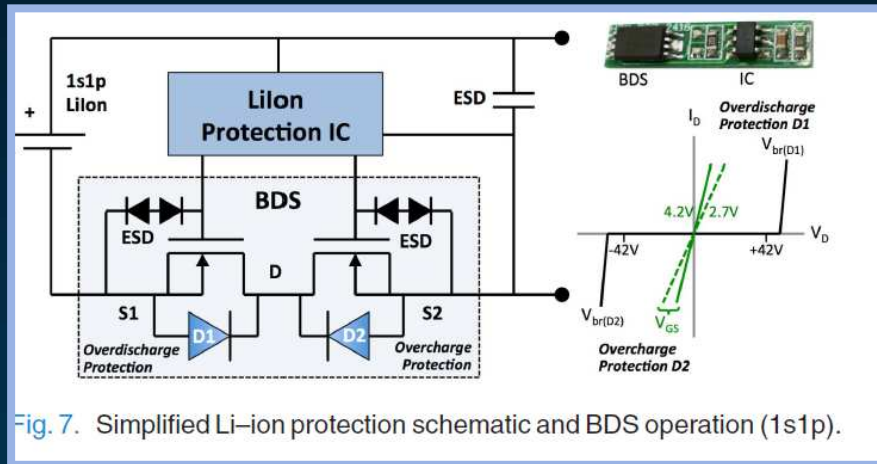
CSP設計產品量產
(傳統無封裝/ThinPak系列)

第一代分離式閘極 (ETG1)
簡化製程設計 (3層光罩設計)

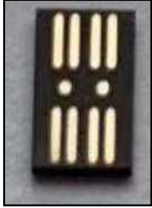

新世代化合物半導體(GaN)

Force mos

鋰電池充放電保護應用CSP設計 (手機及各項手持行動裝置)



- 針對手機鋰電池應用做開發，可全系列對應市場指標廠商Panasonic 12V產品
- Thin-PAK 封裝系列具有0.55mm的封裝本體厚度，較傳統CSP產品有更穩定的可靠性且更佳的散熱效果
- 單通道式結構可達到導通電阻為1.1mohm，該規格應為目前市面上最低!

VSS =12V N-type	Thin-PAK	CSP-UBM	
	 <p>ME6600DH Rdson=4.7mOhm</p> <p>ME6612DH Rdson=2.2mOhm</p>	 <p>ME6600DW Rdson=4.7mOhm</p> <p>ME6612DW Rdson=2.2mOhm</p>	<p>ME6606DW Rdson=1.1mOhm</p>

產品已通過客戶可靠度驗證!

多層式閘極結構專利

ETG-1

(12) United States Patent Hsieh

(10) Patent No.: **US 8,648,413 B2**
(45) Date of Patent: **Feb. 11, 2014**

(54) **SUPER-JUNCTION TRENCH MOSFET WITH MULTIPLE TRENCHED SOURCE-BODY CONTACTS**

(75) Inventor: **Fu-Yuan Hsieh**, New Taipei (TW)
(73) Assignee: **Force MOS Technology Co., Ltd.**, New Taipei (TW)

(*) Notice: Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 55 days.

(21) Appl. No.: **13/433,664**
(22) Filed: **Mar. 29, 2012**

(65) **Prior Publication Data**
US 2012/0187477 A1 Jul. 26, 2012

Related U.S. Application Data
(63) Continuation-in-part of application No. 13/303,474, filed on Nov. 23, 2011, now Pat. No. 8,373,225, which is a continuation-in-part of application No. 12/654,637, filed on Dec. 28, 2009, now Pat. No. 8,067,800.

(51) **Int. Cl.**
H01L 29/78 (2006.01)

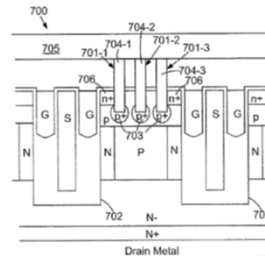
(52) **U.S. CL.**
USPC 257/331; 257/E29.262
(58) **Field of Classification Search**
USPC 257/331, E29.262
See application file for complete search history.

(56) **References Cited**
U.S. PATENT DOCUMENTS
8,373,225 B2* 2/2013 Hsieh 257/331
* cited by examiner

Primary Examiner — Matthew W Such
Assistant Examiner — Monica D Harrison
(74) **Attorney, Agent, or Firm** — Bacon & Thomas, PLLC

(57) **ABSTRACT**
A super-junction trench MOSFET with split gate electrodes is disclosed for high voltage device by applying multiple trenched source-body contacts with narrow CDs in unit cell. Furthermore, source regions are only formed along channel regions near the gate trenches, not between adjacent trenched source-body contacts for UIS (Unclamped Inductance Switching) current enhancement.

14 Claims, 19 Drawing Sheets



(12) United States Patent Hsieh

(10) Patent No.: **US 8,159,021 B2**
(45) Date of Patent: **Apr. 17, 2012**

(54) **TRENCH MOSFET WITH DOUBLE EPIAXIAL STRUCTURE**

(75) Inventor: **Fu-Yuan Hsieh**, Saratoga, CA (US)

(73) Assignee: **Force-MOS Technology Corporation** (TW)

(*) Notice: Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 533 days.

(21) Appl. No.: **12/970,853**

(22) Filed: **Feb. 20, 2008**

(65) **Prior Publication Data**
US 2009/0206395 A1 Aug. 20, 2009

(51) **Int. Cl.**
H01L 29/78 (2006.01)
H01L 21/336 (2006.01)
(52) **U.S. CL.** 257/228; 438/270; 257/213
(58) **Field of Classification Search** 257/213; 257/328, 340, E21.41, E29.201, E29.292
See application file for complete search history.

(56) **References Cited**
U.S. PATENT DOCUMENTS
5,689,128 A 11/1997 Hsieh et al. 257/331
5,960,275 A 9/1999 So et al. 438/211
6,262,853 B1* 2/2001 Hsieh 257/341
6,518,127 B2* 2/2003 Hsieh et al. 438/270
6,674,124 B2* 1/2004 Hsieh et al. 257/330
6,707,127 B1* 3/2004 Hsieh et al. 257/483

6,833,584 B2* 12/2004 Henninger et al. 257/334
6,882,000 B2* 4/2005 Darwish et al. 257/307
6,921,697 B2* 7/2005 Darwish et al. 438/270
6,979,621 B2* 12/2005 Hsieh et al. 438/270
7,049,657 B2* 5/2006 Matsuda 257/333
7,091,573 B2* 8/2006 Hsieh et al. 257/300
7,235,842 B2* 6/2007 Hsieh et al. 257/330
7,385,248 B2* 6/2008 Hsieh et al. 257/330
7,494,876 B1* 2/2009 Giles et al. 438/270
7,557,409 B2* 7/2009 Pattanayak et al. 257/333
2002/0666978 A1* 6/2002 Hsieh et al. 257/330
2004/0188756 A1* 9/2004 Matsuda 257/330
2007/0187513 A1* 6/2007 Pattanayak et al. 257/330
* cited by examiner

Primary Examiner — Hu Tram T Nguyen
Assistant Examiner — Jordan Klein
(74) **Attorney, Agent, or Firm** — Ifo-In Lin

(57) **ABSTRACT**

A trenched semiconductor power device includes a plurality of trenched gates surrounded by source regions near a top surface of a semiconductor substrate encompassed in body regions. The trenched semiconductor power device further includes a first epitaxial layer above heavily doped substrate and beyond the trench bottom and a second epitaxial layer above said first epitaxial layer wherein a resistivity N1 of said first epitaxial layer is greater than a resistivity N2 of said second epitaxial layer represented by a functional relationship of N1-N2. In an exemplary embodiment, each of the trenched gates include an upper gate portion and lower gate portion formed with single polysilicon deposition processes wherein the lower gate portion is surrounded with a lower gate insulation layer having a greater thickness than an upper gate insulation layer surrounding the upper gate portion.

23 Claims, 12 Drawing Sheets

ETG-2

【19】中華民國 【12】專利公報 (B)
【11】證書號數：1675409
【45】公告日：中華民國 108 (2019) 年 10 月 21 日
【51】Int. Cl.: H01L21/28 (2006.01) H01L29/40 (2006.01)
H01L29/43 (2006.01) H01L29/66 (2006.01)
發明 全 13 頁

【54】名稱：屏蔽閘極式金氧半導體電晶體及其製造方法
【21】申請案號：107134207 【22】申請日：中華民國 107 (2018) 年 09 月 28 日
【72】發明人：涂高強 (TW); TU, KAO-WAY; 蘇柏安 (TW); TSAI, PO-AN; 翁謙志 (TW)
WENG, HUAN-CHUNG
【71】申請人：力士科技股份有限公司
FORCE MOS TECHNOLOGY CO., LTD.
新北市五股區中興路一段 10 號 9 樓之 1

【74】代理人：徐貴新
TW 201816858A
US 7855415B2
TW 201822295A

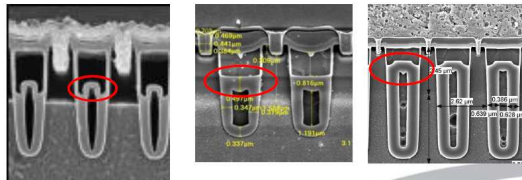


圖 7D

(19) United States

(12) **Patent Application Publication** (10) Pub. No.: **US 2020/0105890 A1**
Tu et al. (43) Pub. Date: **Apr. 2, 2020**

(54) **SHIELDED GATE MOSFET AND FABRICATING METHOD THEREOF**

(71) Applicant: **Force MOS Technology Co., Ltd.**, New Taipei City (TW)

(72) Inventors: **Kao-Way Tu**, New Taipei City (TW);
Po-An Tsai, New Taipei City (TW);
Huan-Chung Weng, New Taipei City (TW)

(21) Appl. No.: **16/244,395**

(22) Filed: **Jun. 10, 2019**

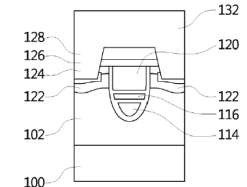
(30) **Foreign Application Priority Data**
Sep. 27, 2018 (CN) 201811120396.4

Publication Classification
(51) **Int. Cl.**
H01L 29/423 (2006.01)
H01L 29/40 (2006.01)
H01L 29/78 (2006.01)

(52) **U.S. CL.**
CPC H01L 29/42368 (2013.01); H01L 29/7813 (2013.01); H01L 29/401 (2013.01)

(57) **ABSTRACT**

A fabricating method of a shielded gate MOSFET is provided, including steps of: forming a semiconductor substrate having a trench; forming a sacrificial oxide layer in the trench; the sacrificial oxide layer covering a side wall of the trench; forming a source polycrystalline silicon region in the trench; forming an insulation oxide layer above the source polycrystalline silicon region to have the source polycrystalline silicon region fully enclosed by the sacrificial oxide layer and the insulation oxide layer; depositing polycrystalline silicon into the trench and carrying out a back etching to control a thickness of the insulation oxide layer above the source polycrystalline silicon region; forming a gate oxide layer in the trench; the gate oxide layer covering the side wall of the trench; forming a gate polycrystalline silicon region in the trench; and forming a body layer and a heavily doped region around the trench in an ion implantation manner.





未來展望 -- 成品銷售

項 目	說 明
傳統塑封型封裝	<ul style="list-style-type: none">◆ ETG 60V、80V、120V新產品系列◆ RTG 40V、20V、12V 新產品系列◆ 晶片尺寸縮小20%以上，低電源切換損失
無焊線晶圓級封裝	<ul style="list-style-type: none">◆ 低封裝線阻、高散熱◆ Level-1 最高等級封裝可靠度◆ 封裝尺寸最小化
產品應用	<p>A. 大功率切換式電源供應器 (GaN、SiC)</p> <p>B. BMS 電動汽車電池能源管理系統</p>
市場推廣	<p>A. 密切與台灣四大電源廠合作，針對未來電源供應器的需要提供新規格，及客製化封裝設計。</p> <p>B. 取得品牌廠的合格供應商資格</p> <p>C. 加強行銷活動及產品廣告</p>



未來展望--晶片銷售

項 目	說 明
自有品牌封裝廠	A. 透過銷售晶片換取封裝產能 B. 調節晶片的庫存及晶圓廠產能需求
PD-IC合封	A. 與全球市佔80%的 PD IC廠商合作，提供合封最佳效能的 MOSFET晶片 B. 利用IC廠的銷售管道，切入所有可觸及的客戶 C. 第一時間取得未來電源架構的規格及產品需求
SR-IC合封	A. 提供最佳效能的ETG MOSFET晶片，透過各IC廠打開力士的市場知名度 B. 推出力士的合封IC型的自有產品



未來展望—IP矽智財授權

項 目	說 明
電池保護IC廠商投片授權	A. 目標客群為整體解決方案之需求，無法獨立銷售MOSFET產品 B. 必須具有晶圓廠的投片權
Mini-LED Driver-IC合封	A. 與全球最大的 LED Driver IC廠商合作，提供全球獨家MOSFET陣列型的控制晶片 B. 全部開發費用由客戶負擔 C. 專利共有



Thank You !

■ www.force-mos.com